

SEMICONDUCTOR DEVICE

Patent Number: JP7263665
Publication date: 1995-10-13
Inventor(s): MURASE TAMOTSU; others: 03
Applicant(s): NIPPONDENSO CO LTD
Requested Patent: ☐ JP7263665
Application Number: JP19940049635 19940322
Priority Number(s):
IPC Classification: H01L29/78
EC Classification:
Equivalents:

Abstract

PURPOSE: To form a wiring for semiconductor element into a two-layer structure so as to enlarge a wiring area and reduce the access resistance and to perform bonding without an excessive bonding pad area as well.

CONSTITUTION: A plurality of first source wiring layers 1 and first drain wiring layers 2 are obliquely arranged by means of an insulation film on a semiconductor substrate where source areas (S) and drain areas (D) are arranged like mesh, and a second source wiring layer 3 and a second drain wiring layer 4 are formed by means of an insulation film. At this time, the layers 3 and 4 are formed in a size (a halved area of cell area) including a plurality of element groups, and they are used as areas for wire-bonding the layers 3 and 4.

Data supplied from the esp@cenet database - l2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-263665

(43) 公開日 平成7年(1995)10月13日

(51) Int.Cl.⁸

H 0 1 L 29/78

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/ 78

3 0 1 S

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21) 出願番号 特願平6-49635

(22) 出願日 平成6年(1994)3月22日

(71) 出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 村瀬 保

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72) 発明者 前田 浩

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72) 発明者 中山 喜明

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(74) 代理人 弁理士 伊藤 洋二

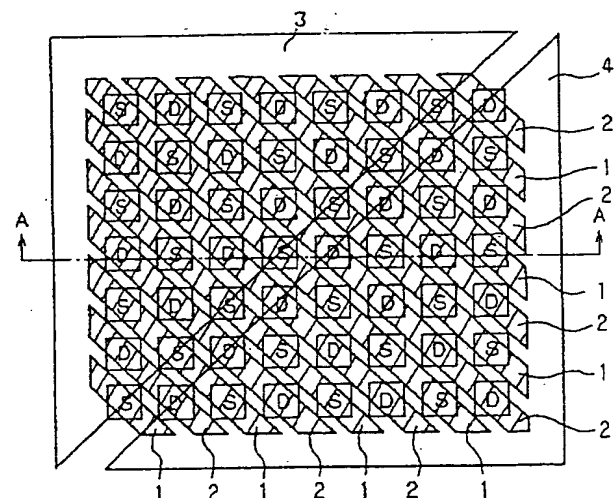
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 半導体素子用の配線を二層構造にして配線面積を大きくしアクセス抵抗を低減させるとともに、余分なボンディングパッド面積を必要とせずにボンディングを行うことができるようにすることを目的とする。

【構成】 ソース領域 (S)、ドレイン領域 (D) がメッシュ状に配置された半導体基板上に絶縁膜を介して複数の第1ソース配線層1及び第1ドレイン配線層2を斜め配置し、さらに絶縁膜を介して第2ソース配線層3及び第2ドレイン配線層4を形成する。ここで、第2ソース配線層3及び第2ドレイン配線層4を複数の素子群を含んだ大きさ (セル領域上を2分割した面積) で形成し、この第2ソース配線層3及び第2ドレイン配線層4をワイヤボンディングする領域とした。



【特許請求の範囲】

【請求項 1】 第 1 種の素子要素領域と第 2 種の素子要素領域からなる素子が並列的に複数形成された半導体基板と、この半導体基板上に形成され前記複数の素子における第 1 種、第 2 種の素子要素領域と電気的に接続される上下二層の配線層とを備えた半導体装置において、前記複数の素子が形成されている領域上において第 1 群および第 2 群として割り当てられる複数の素子を包含する面積を有して複数に分割したそれぞれの領域に、前記複数の素子における第 1 種の素子要素領域と電気的に接続される第 1 種の上層配線層と、前記複数の素子における第 2 種の素子要素領域と電気的に接続される第 2 種の上層配線層を、前記上層の配線層として形成し、それぞれの配線層をボンディング領域としたことを特徴とする半導体装置。

【請求項 2】 ソース領域およびドレイン領域からなる素子が並列的に複数形成された半導体基板と、該半導体基板上に形成された第 1 絶縁層と、該第 1 絶縁層の上に形成され、前記複数の素子におけるソース領域を複数グループに分離し、個々のグループにおいて対応するソース領域に前記第 1 絶縁層に設けられた開口部を介して電気接続するようにして構成された複数グループの第 1 ソース配線層と、前記第 1 絶縁層の上に形成され、前記複数の素子におけるドレイン領域を複数グループに分離し、個々のグループにおいて対応するドレイン領域に前記第 1 絶縁層に設けられた開口部を介して電気接続するようにして構成された複数グループの第 1 ドレイン配線層と、前記第 1 ソース配線層及び第 1 ドレイン配線層の上に形成された第 2 絶縁層と、該第 2 絶縁層の上に形成され、該第 2 絶縁層に形成された開口部を介して前記第 1 ソース配線層及び第 1 ドレイン配線層とそれぞれ接続された第 2 ソース配線層及び第 2 ドレイン配線層とを備えた半導体装置において、前記第 2 ソース配線層及び第 2 ドレイン配線層は、前記複数の素子が形成されたセル領域上の領域を複数に分割した領域においてそれぞれ形成され、その領域における第 2 ソース配線層及び第 2 ドレイン配線層をそれぞれボンディング領域としたことを特徴とする半導体装置。

【請求項 3】 第 1 種の素子要素領域と第 2 種の素子要素領域からなる素子が並列的に複数形成された半導体基板と、該半導体基板上に形成され、前記複数の素子における第 1 種および第 2 種の素子要素領域に対応した位置にそれぞれ開口部を有する第 1 絶縁層と、該第 1 絶縁層の上に形成され、前記複数の素子における第 1 種の素子要素領域を複数グループに分割した各グループ毎に、それぞれの開口部を介して電気的に接続された複数グループからなる第 1 種の第 1 配線層と、前記第 1 絶縁層の上に形成され、前記複数の素子にお

ける第 2 種の素子要素領域を複数グループに分割した各グループ毎に、それぞれの開口部を介して電気的に接続された複数グループからなる第 2 種の第 1 配線層とを備え、

前記複数グループからなる前記第 1 種及び第 2 種の第 1 配線層とがそれぞれ交互に配置されてなる半導体装置であって、

さらに、前記複数グループの第 1 種及び第 2 種の第 1 配線層の上に形成され、前記第 1 種および第 2 種の第 1 配線層のそれぞれのグループに対応した位置に開口部を有する第 2 絶縁層と、

該第 2 絶縁層の上に前記複数グループの第 1 種および第 2 種の第 1 配線層を含む領域において形成され、前記複数グループの第 1 種の第 1 配線層とそれぞれに対応する開口部を介して電気的に接続された第 1 種の第 2 配線層と、

前記第 2 絶縁層の上に前記複数グループの第 1 種および第 2 種の第 1 配線層を含む領域において前記第 1 種の第 2 配線層と離間して形成され、前記複数グループの第 2 種の第 1 配線層とそれぞれに対応する開口部を介して電気的に接続された第 2 種の第 2 配線層とを備え、

前記第 1 種及び第 2 種の第 2 配線層をそれぞれボンディング領域として形成したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は二層配線構造を有する LDMOS 等の半導体装置に関する。

【0002】

【従来の技術】 従来、LDMOS 等においては、ソース、ドレインをメッシュ状に配置し、その導出配線が重ならない（相互作用を起こさない）ように一層のみのアルミ（伝導金属）で斜状に交互に配置するようにしている。しかながら、そのような一層のアルミ配線では、それぞれの配線が細くなりアクセス抵抗が大きくなってしまったため、大きな電流に耐えられないという問題がある。

【0003】 そこで、上記問題に対し、特開昭 62-86763 号公報あるいは特開昭 64-20666 号公報に、ソース、ドレイン配線用の金属層を二層設けることによって、配線面積（体積）を大きくし、アクセス抵抗を低減させるようにしたものが提案されている。前者は、くし歯状の配線を二層に積み重ね、上下の層を絶縁膜を介して接続することにより配線断面積を大きくしたものであり、後者は下層をソース、上層をドレインの配線（ソース、ドレインを逆にしても可）として、それぞれの層にほぼ全面に配線するようにしたものである。

【0004】

【発明が解決しようとする課題】 しかしながら、前者の従来技術においては、上層においてもくし歯状の配線とされている、すなわちソース、ドレインの配線が素子上で

は幾つかに分けられているため、それぞれの配線面積をそれ程大きくすることができず、従ってそれぞれの配線にボンディングを施す場合には、ボンディングパッドをチップ上の別領域に形成しなければならないという問題がある。また、後者のものにおいても、下層、上層をソース、ドレインの配線として分離しているため下層の配線に対しては必然的にチップ上に別領域にボンディングパッドを設けなければならないという問題がある。

【0005】このように、素子が形成された領域以外のチップ上の他の箇所にボンディングパッドを設けることは、そのための面積を余分に必要としてしまうことになる。本発明は上記問題に鑑みてなされたもので、半導体素子用の配線を二層構造にして配線面積を大きくしアクセス抵抗を低減させるとともに、余分なボンディングパッド面積を必要とせずにボンディングを行うことができるようにすることを目的とする。

【0006】

【課題を達成するための手段】本発明は上記課題を達成するため、請求項1に記載の発明においては、第1種の素子要素領域と第2種の素子要素領域からなる素子が並列的に複数形成された半導体基板と、この半導体基板上に形成され前記複数の素子における第1種、第2種の素子要素領域と電気的に接続される上下二層の配線層とを備えた半導体装置において、前記複数の素子が形成されている領域上において第1群および第2群として割り当てられる複数の素子を包含する面積を有して複数に分割したそれぞれの領域に、前記複数の素子における第1種の素子要素領域と電気的に接続される第1種の上層配線層と、前記複数の素子における第2種の素子要素領域と電気的に接続される第2種の上層配線層を、前記上層の配線層として形成し、それぞれの配線層をボンディング領域としたことを特徴としている。

【0007】請求項2に記載の発明においては、ソース領域およびドレイン領域からなる素子が並列的に複数形成された半導体基板と、該半導体基板上に形成された第1絶縁層と、該第1絶縁層の上に形成され、前記複数の素子におけるソース領域を複数グループに分離し、個々のグループにおいて対応するソース領域に前記第1絶縁層に設けられた開口部を介して電気接続するようにして構成された複数グループの第1ソース配線層と、前記第1絶縁層の上に形成され、前記複数の素子におけるドレイン領域を複数グループに分離し、個々のグループにおいて対応するドレイン領域に前記第1絶縁層に設けられた開口部を介して電気接続するようにして構成された複数グループの第1ドレイン配線層と、前記第1ソース配線層及び第1ドレイン配線層の上に形成された第2絶縁層と、該第2絶縁層の上に形成され、該第2絶縁層に形成された開口部を介して前記第1ソース配線層及び第1ドレイン配線層とそれぞれ接続された第2ソース配線層及び第2ドレイン配線層とを備えた半導体装置におい

て、前記第2ソース配線層及び第2ドレイン配線層は、前記複数の素子が形成されたセル領域上の領域を複数に分割した領域においてそれぞれ形成され、その領域における第2ソース配線層及び第2ドレイン配線層をそれぞれボンディング領域としたことを特徴としている。

【0008】請求項3に記載の発明においては、第1種の素子要素領域と第2種の素子要素領域からなる素子が並列的に複数形成された半導体基板と、該半導体基板上に形成され、前記複数の素子における第1種および第2種の素子要素領域に対応した位置にそれぞれ開口部を有する第1絶縁層と、該第1絶縁層の上に形成され、前記複数の素子における第1種の素子要素領域を複数グループに分割した各グループ毎に、それぞれの開口部を介して電気的に接続された複数グループからなる第1種の第1配線層と、前記第1絶縁層の上に形成され、前記複数の素子における第2種の素子要素領域を複数グループに分割した各グループ毎に、それぞれの開口部を介して電気的に接続された複数グループからなる第2種の第1配線層とを備え、前記複数グループからなる前記第1種及び第2種の第1配線層とがそれぞれ交互に配置されてなる半導体装置であって、さらに、前記複数グループの第1種及び第2種の第1配線層の上に形成され、前記第1種および第2種の第1配線層のそれぞれのグループに対応した位置に開口部を有する第2絶縁層と、該第2絶縁層の上に前記複数グループの第1種および第2種の第1配線層を含む領域において形成され、前記複数グループの第1種の第1配線層とそれぞれに対応する開口部を介して電気的に接続された第1種の第2配線層と、前記第2絶縁層の上に前記複数グループの第1種および第2種の第1配線層を含む領域において前記第1種の第2配線層と離間して形成され、前記複数グループの第2種の第1配線層とそれぞれに対応する開口部を介して電気的に接続された第2種の第2配線層とを備え、前記第1種及び第2種の第2配線層をそれぞれボンディング領域として形成したことを特徴としている。

【0009】

【発明の作用効果】請求項1乃至3に記載の発明によれば、半導体素子用の配線を二層構造にしているから、その配線面積を大きくしてアクセス抵抗を低減させることができ、しかも複数の素子が形成されている領域上を複数に分割したそれぞれの領域に、第1種、第2種の上層配線層を形成するようにしているから、それらの面積をボンディングするのに十分な大きさとして、チップ上の他の領域にボンディングパッドを設けることなく第1種及び第2種の上層配線層をそれぞれボンディング領域として用いることができるという優れた効果を奏する。

【0010】

【実施例】以下本発明を図に示す実施例について説明する。図1は本発明をLDMOSに適用した場合の平面概念図である。この図において、Sはソース領域、Dはド

レイン領域を示しており（他の図においても同様）、それらの上に、第1配線層、第2配線層が形成されている。第1配線層は、図のハッチングで示すように、複数のソース領域、ドレイン領域とそれぞれ接続される複数グループの第1ソース配線層1、第1ドレイン配線層2にて構成されている。第2配線層は、複数の第1ソース配線層1と接続される第2ソース配線層3、複数の第1ドレイン配線層2と接続される第2ドレイン配線層4にて構成されている。なお、ソース領域、ドレイン領域および第1、第2配線層のそれぞれの間には後述するように絶縁膜が形成されている。

【0011】上記構成においてその特徴とするところは、図1に示すように、ソース領域、ドレイン領域からなる各素子が複数形成されているセル領域（セルが複数形成されている領域をいう）上にある第2ソース配線層3、第2ドレイン配線層4に、ワイヤーボンディング等のボンディングを施し、従来技術で示したようなボンディングパッドをチップ上の別領域に設けないようにした点である。なお、第2ソース配線層3、第2ドレイン配線層4は、図1から分かるように、第1群および第2群として割り当てられる複数の素子を包含する面積を有して複数に分割したそれぞれの領域に形成されたものであり、それぞれの面積はボンディングするに十分な大きさのものである。

【0012】図2（a）、（b）、（c）にゲート電極、第1配線層、第2配線層の電極パターンを示す。ゲート電極5はポリシリコンで形成されたものであり、その電極取り出しを第1配線層の左端に分離して形成された配線5aにて行うようにしている。図3は図1のAA断面図で、第2ソース配線層3と第2ドレイン配線層4とが隣接する周辺部分におけるLDMOSの断面構造を示している。この図から分かるように、半導体基板6に素子を形成した通常のLDMOSに対し、その上に二層のアルミ配線を形成した構造とし、その上層配線層において図中のaで示すように第2ソース配線層3と第2ドレイン配線層4とが分離して形成されている。なお、図には示されていないが、第2ソース配線層3と第2ドレイン配線層4の所定位置にワイヤボンディングされる。

【0013】また、半導体基板6と第1配線層の間には第1絶縁層7が形成されており、ソース領域、ドレイン領域に対応した位置にそれぞれ開口部が形成されている。さらに、第1配線層と第2配線層の間には第2絶縁層8が形成されており、第1ソース配線層1及び第1ドレイン配線層2のそれぞれに対応した位置に開口部が形成されている。

【0014】次に、上記LDMOSの製造方法について図4を用いて簡単に説明する。通常の半導体製造技術を用い、まず図4（a）に示すように、半導体基板6にトランジスタ素子を形成する。次にその表面に厚い酸化膜をCVD法により形成した後、素子のコンタクト部をエ

ッチングにより開口し第1絶縁層7を形成する（図4（b））。その上に全面アルミを蒸着し、第1のソース、ドレイン配線層1、2を形成すべく不要部分をエッチング除去する（図4（c））。その上に絶縁層を蒸着し、上層が第2ソース配線層となる所は下層が第1ソース配線層と電気接続され、上層が第2ドレイン配線層となる所は下層が第1ドレイン配線層と電気接続されるようにそれぞれの対応箇所に開口部を形成すべくエッチング除去し第2絶縁層8を形成する（図4（d））。そして、第2配線層を形成すべく全面にアルミを蒸着し、所定箇所（図1の斜め開口部で図3のa点部分）をエッチング除去して第2ソース配線層3、第2ドレイン配線層4をそれぞれ形成する（図4（e））。

【0015】なお、上記実施例では、ソース、ドレイン領域をメッシュ状に配置し、第1配線層を斜めに形成するようにしたものを示したが、図5に示すように、ストライプ状にソース、ドレイン領域を形成し、第1配線層をくし歯状に形成するとともに、第2配線層を2分割した第2ソース配線層3、第2ドレイン配線層4とするようにしてもよい。

【0016】さらに、図6（a）に示すように、ソース、ドレイン領域のメッシュパターンを45°斜めに形成し、第1配線層、第2配線層（それぞれ図6（b）、（c）参照）を図5と同様に上下左右方向に形成するようにしてもよい。上記図5、図6のように、第2配線層を上下2分割の形状にすることにより図1に示すものに比べ、第2配線層が斜めに形成されないため、ボンディング作業をし易くすることができると共に、第1配線層の長短を緩和し、長さを均等にできるため、第1配線層のそれぞれと対応する第2配線層とのバランスを良好にすることができる。

【0017】さらに、上記実施例においては、LDMOSに本発明を適用するようにしたものを示したが、パワー系のバイポーラトランジスタ、その他、半導体基板上に多層の導出配線するような半導体装置に本発明を適用することができる。パワー系のバイポーラトランジスタに適用した場合、エミッタ、ベースの配線を上記LDMOSと同様半導体基板の一面側の上部に二層形成し、コレクタ電極を半導体基板の他面側に形成するようにすればよい。

【0018】さらに、第2配線層は2分割に限らず、ボンディングするに必要な面積を確保できればそれよりも大きく分割してもよい。なお、特許請求の範囲に記載した第1種、第2種の素子形成領域とは、LDMOSの場合には、ソース領域、ドレイン領域が該当し、パワー系のバイポーラトランジスタの場合には、エミッタ領域、ベース領域が該当する。

【図面の簡単な説明】

【図1】本発明をLDMOSに適用した場合の平面概念図である。

【図2】ゲート電極、第1、第2配線層の構成を説明する図である。

【図3】LDMOSの断面構成図である。

【図4】LDMOSの製造工程を示す工程図である。

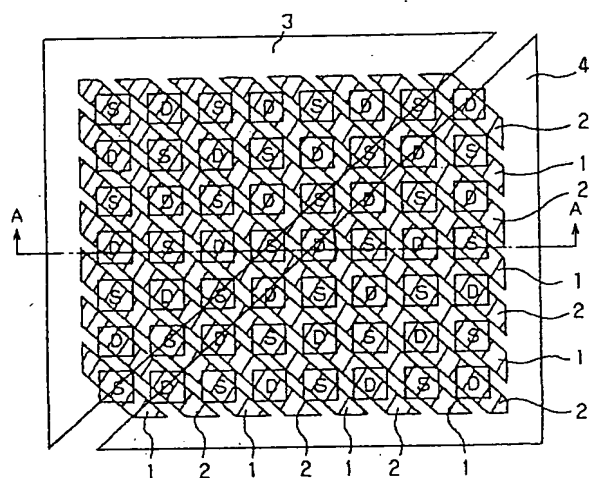
【図5】本発明の他の実施例を示す平面概念図である。

【図6】本発明のさらに他の実施例を示すゲート電極、第1、第2配線層の構成を示す図である。

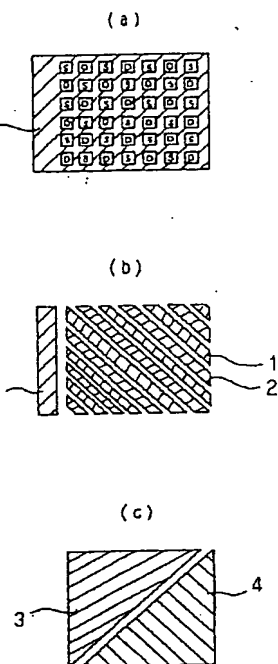
【符号の説明】

- 1 第1ソース配線層
- 2 第1ドレイン配線層
- 3 第2ソース配線層
- 4 第2ドレイン配線層
- 5 ゲート電極
- 6 半導体基板
- 7 第1絶縁層
- 8 第2絶縁層

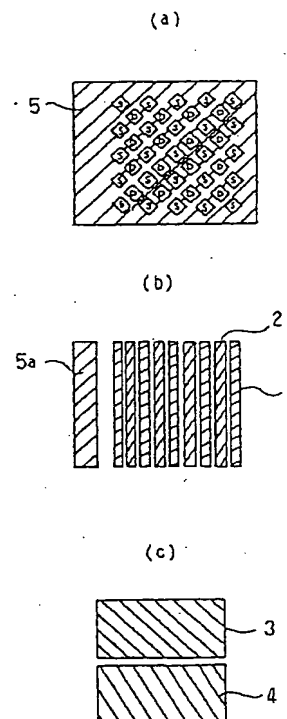
【図1】



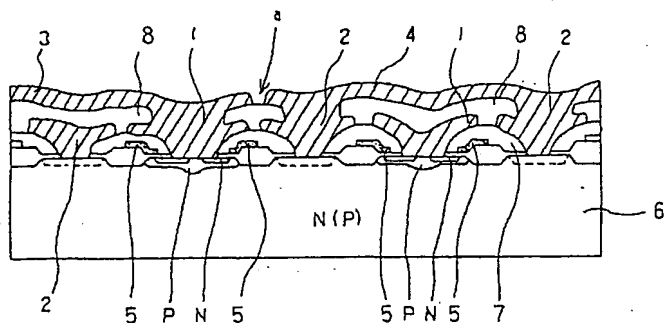
【図2】



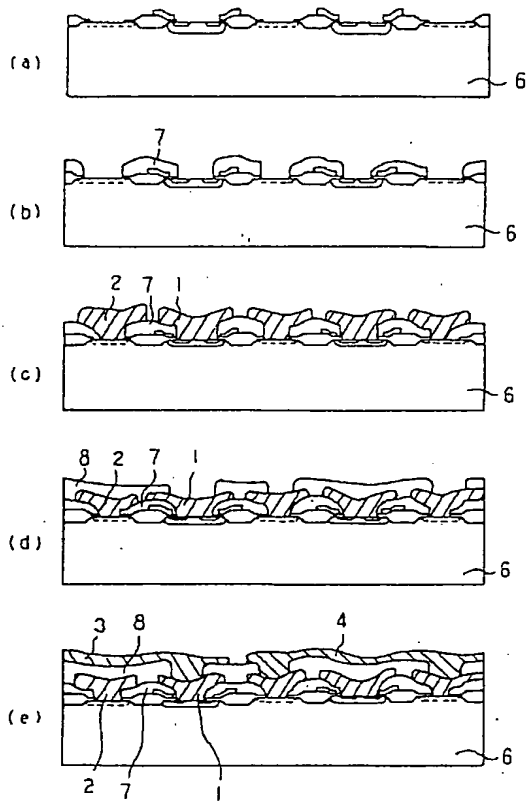
【図6】



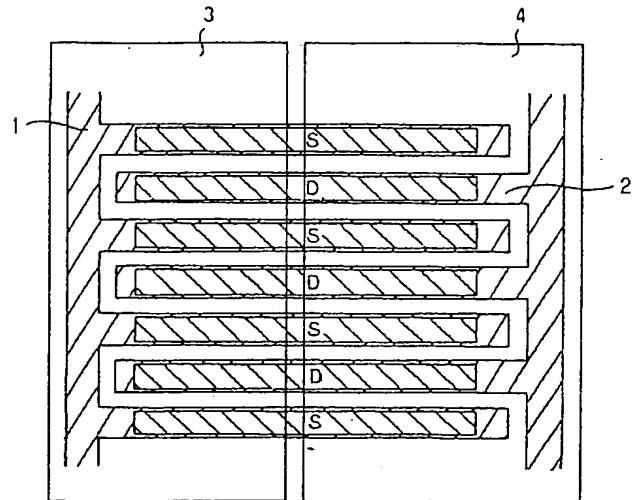
【図3】



【図 4】



【図 5】



フロントページの続き

(72)発明者 岡部 好文
愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

